

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.  
003472112

WPI Acc No: 1982-20078E 198211

Dual dielectric capacitor for integrated circuits - has layers of silicon  
nitride or alumina dna titanate or tantalum, hafnium or titanium oxide

Patent Assignee: IBM CORP (IBMC )

Inventor: HOWARD J K

Number of Countries: 006 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 46868	A	19820310				198211 B
<b>JP 57045968</b>	A	19820316	JP 8189765	A	19810612	198216
CA 1159917	A	19840103				198406
JP 88049907	B	19881006				198844

Priority Applications (No Type Date): US 80187740 A 19800829

Cited Patents: 4.Jnl.Ref: EP 2670; No-SR.Pub: US 4104697; US 4200474

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 46868	A	E	23		

Designated States (Regional): DE FR GB IT

**Abstract (Basic): EP 46868 A**

Capacitor having dual dielectric comprises two electrodes (2,5) with a first dielectric layer (3) of Si<sub>3</sub>N<sub>4</sub> or Al<sub>2</sub>O<sub>3</sub> adjacent one electrode and a second dielectric layer (4) of Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, TiO<sub>2</sub>, PbTiO<sub>3</sub>, BaTiO<sub>3</sub>, CaTiO<sub>3</sub> or SrTiO<sub>3</sub> adjacent the second electrode. One electrode is pref. conductive polySi.

A capacitor structure on an Si semiconductor device comprises a first electrode of conductive polySi, Ta or Hf contacting a bared portion of the device, the first dielectric layer on the electrode, the second dielectric layer on the first, and a second electrode, pref. Al- or Au-based metal, on the second dielectric. The bared device portion is pref. an emitter of a bipolar element in an IC, esp. a memory array. The capacitor has high capacitance, e.g. dielectric constant thickness greater than 0.04; and satisfactory breakdown voltage and dielectric loss. It exhibits good thermal stability during processing at up to 500 deg.C.

3

Title Terms: DUAL; DIELECTRIC; CAPACITOR; INTEGRATE; CIRCUIT; LAYER;  
SILICON; NITRIDE; ALUMINA; DNA; TITANATE; TANTALUM; HAFNIUM;  
TITANIUM:OXIDE

Derwent Class: L03; U12; U13; U14; V01

International Patent Class (Additional): H01G-004 20; H01L-025 16;

H01L-027 10; H01L-029 94

File Segment: CPI; EPI

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

4352114

Basic Patent (No.Kind.Date): EP 46868 A2 820310 <No. of Patents: 005>

CAPACITOR STRUCTURE WITH DUAL DIELECTRICS (English)

Patent Assignee: IBM (US)

Author (Inventor): HOWARD JAMES KENT

Designated States : (National) DE: FR: GB: IT

IPC: \*H01L-029 94; H01L-027 10; H01G-004 20

Derwent WPI Acc No: \*C 82-20078E;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CA 1159917	A1	840103	CA 381245	A	810707	
EP 46868	A2	820310	EP 81105741	A	810721	(BASIC)
EP 46868	A3	841205	EP 81105741	A	810721	
<b>JP 57045968</b>	A2	820316	JP 8189765	A	810612	
JP 88049907	B4	881006	JP 8189765	A	810612	

Priority Data (No.Kind.Date):

US 182740 A 800829

⑱ 日本国特許庁 (JP)

① 特許出願公開

⑫ 公開特許公報 (A)

昭57-45968

⑤ Int. Cl.<sup>3</sup>  
H 01 L 27/04  
H 01 G 4/10

識別記号

庁内整理番号  
8122-5F  
2112-5E

④ 公開 昭和57年(1982)3月16日

発明の数 1  
審査請求 有

(全 11 頁)

⑭ 二重誘電体付きコンデンサ

① 特 願 昭56-89765

② 出 願 昭56(1981)6月12日

優先権主張 ③ 1980年8月29日 ③ 米国(US)

④ 182740

⑤ 発 明 者 ジェームズ・ケント・ハワード  
アメリカ合衆国ニューヨーク州

⑥ 出 願 人 インターナショナル・ビジネス  
・マシーンス・コーポレーショ  
ン

アメリカ合衆国10504ニューヨ  
ーク州アーモンク(番地なし)

⑦ 代 理 人 弁理士 頓宮孝一 外 1 名

明 細 書

1. 発明の名称 二重誘電体付きコンデンサ

2. 特許請求の範囲

下記(イ)及び(ロ)の二重誘電体を有するコンデンサ。

(イ) 窒化シリコン及び酸化アルミニウムの群から  
選ばれる第1誘電体層。

(ロ)  $Ta_2O_5$ 、 $HfO_2$ 、 $TiO_2$ 、 $PbTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$  及び  $SrTiO_3$  の群から選  
ばれる第2誘電体層。

3. 発明の詳細な説明

技術分野

本発明は、コンデンサ構造、特に、半導体デバ  
イスとの一体化に適した、又はこれと複合関係に  
ある、二重誘電体付きコンデンサデバイスに関す  
る。

本発明の目的の1つは、新しい、改良されたコ  
ンデンサ構造を提供することである。

本発明のもう1つの目的は、コンデンサ素子用

の新しい、改良された二重誘電体を提供すること  
である。

本発明のもう1つの目的は、半導体デバイスと  
一体に、又は半導体デバイスと複合関係に形成さ  
れうる、新しい、改良されたコンデンサ構造を提  
供することである。

本発明のさらにもう1つの目的は、必要な信号  
強さを得ながら、集積回路の速度を増加させ得る  
新しい、改良されたコンデンサ構造を提供すること  
である。

背景技術

半導体製作技術においては、電気的性能と集積  
回路の応答を改善するために、コンデンサ使用の  
関心が高まっている。例えばメモリアレイなどが  
そうである。コンデンサの代表的な応用例を開示  
したものとして、米国特許第3201667号、  
第3621347号、第3704384号、第3  
969197号及び第4012275号がある。  
二重誘電体で形成された個別及び薄膜コンデンサ

の背景情報として参考になるものとして、米国特許第4104697号及びMaterials and Packaging, Vol. PMP-5, 第3, September 1967の“Tantalum Oxide-Silicon Oxide Duplex Dielectric Thin-Film Capacitors”という論文がある。

高い誘電率をもつコンデンサ構造に製作を必要とする集積記憶回路が発展してきた。この点で考えられる誘電体として $Ta_2O_5$ があるが、これは誘電率は高いが、200Å以上で急速に性能が低下し、それに伴って漏洩が生じることがわかつてゐる。この問題を解決するための方法として、酸化タンタルを、窒素雰囲気中で熱調整した。これによつて500Åの温度で酸化タンタルが安定化した。誘電率は低下することがわかつた。

#### 発明の開示

高密度の集積回路のコンデンサ素子は、高い誘電率をもつコンデンサ構造の製作を必要とするものと考えることが出来る。回路の必要条件として、

支持されて一体化されている。図示のコンデンサの下部電極2は、集積回路の一部として形成されることがわかつてゐるので、 $P^{+}$ 、 $N^{+}$ 多結晶シリコンで形成される。しかしながら、コンデンサは、半導体デバイス中の二酸化シリコン被覆のほか、セラミックス、ガラスセラミックスなどの絶縁支持基板上に形成できるとを理解すべきである。また、このような場合には、電極2は電極2を作ることができる。他の例として、タングステンニウムをポリシリコンポリシリコンとして使うことができる。希望する場合には、コンデンサを個別素子として作ることができる。電極2の厚さは重要であり、普通その用途の必要条件に合わせることができる。普通、多結晶シリコンを使う場合には、集積回路の一部として、厚さを約500Åから約1000Åの範囲とすることができる。

電極2の上に形成される二重誘電体は、任意の堆積順序に第1誘電体層3と第2誘電体層4から成つてゐる。したがつて、誘電体層3は、電極2

の $\epsilon/t$ の比は0.04台又はそれ以上であるときである。ここで、 $\epsilon$ =コンデンサの誘電率、 $t$ =誘電体層の厚さ(単位Å)で、例えば $Ta_2O_5$ では、 $\epsilon=25$ 、 $t \leq 600$ Åである。

$\epsilon/t$ 比を増加するには、コンデンサは $\epsilon \geq 25$ 及び $t$ 又は $t \leq 600$ Åの誘電体層をもつ誘電体材料を必要とする。

しかしながら、破壊電圧 $E_b$ は1V/cmで、誘電損失 $\tan \delta$ は1%であり、したがつて高い $\epsilon$ をもつ材料は、不十分な値の $E_b$ 及び誘電損失をもつてゐる。

本発明で述べている二重層誘電体コンデンサ構造は、従来の半導体加工法によつて、十分な $E_b$ と誘電損失に関して高いキャパシタンス( $\epsilon/t \geq 0.04$ )をもつように製作できる。単純化した断面の概念図を第3図に示す。提案の構造は、加工中予期しない熱的安定を示すことがわかつてゐる( $\sim 500^\circ C$ )。

第3図によると、本発明の二重誘電体コンデンサは、 $P^{+}$ 単結晶シリコン基板1上に、直接接触

の上に直接形成でき、逆に、望むならば、予担性に関して、電極4を電極2の上に形成できる。普通、二重誘電体の形成は、図示の順序になされる。したがつて第3図に示すように、厚さ $t_1$ の誘電体層3が既知の技術で付着された酸化シリコン及び酸化アルミニウムのような材料で形成される。ポリマーが許す場合には、誘電体は二酸化シリコンまたは、下におく基板としてシリコンを使う時には、シリコンの熱酸化によつて形成できる。普通、誘電体層3の厚さは、約600Åから1500Åの範囲である。

第2誘電体層4は、 $Ta_2O_5$ 、 $HfO_2$ 、 $PbTiO_3$ 、 $BaTiO_3$ 、 $CaTiO_3$ 、 $TiO_2$ 及び $SrTiO_3$ のグループから選ばれた金属酸化物及びチタン酸塩で作られる。誘電体層4の厚さ $t_2$ は、約200Åから約4000Åの範囲にある。

第3図のように、酸化シリコンは、漏洩が少なく、破壊電圧が低いため、層3の誘電体として望ましい。示された金属酸化物及びチタン酸塩は、

キャパシタンスの値が高いために選ばれている。

一般に、厚さ $t_1$ と $t_2$ 及び誘電率 $\epsilon_1$ と $\epsilon_2$ 、各誘電体層3及び4の $\epsilon/t$ 値を最適にするより調節できる。普通窒化物は、CVD法で作られるが、酸化物とタタン酸塩は、反応性スパッタリング又は予備成形ターゲットのスパッタリングによって容易に作られる。

二重誘電体3、4の形成後、アルミニウム及び金系金属のような、適当な金属の上部電極5が、蒸着やスパッタリングなどの方法で構造の上に適当に付着される。窒化シリコンと組合わせて指示したタタン酸塩 $\epsilon$ と $t$ を使うと、 $\epsilon/t$ 比を0.04(窒化物だけを使ったときの最大値)から0.07に増加できる。HfO<sub>2</sub>やTa<sub>2</sub>O<sub>5</sub>( $\epsilon \sim 30$ )のような $\epsilon$ の高い酸化物では、 $\epsilon/t$ の値は0.04~0.05の範囲である。しかしながら、二重誘電体の考え方では、きわめて高密度のメモリに組込むので $\epsilon/t \sim 0.04$ とすることが出来る。

窒化シリコンによって、二重誘電体における漏

洩と破壊電圧の合格値が得られることがわかる。

非常に粗い多結晶シリコン上に付着した場合は窒化シリコン誘電体層に不連続が生じ得るので(これは $E_b$ と漏洩に影響する)、そのような場合は、多結晶シリコンの上に酸化物又はタタン酸塩を付着して良好な被覆とし、このより平坦な下部誘電体層の上に窒化シリコンをCVDによって形成するのが望ましい。

#### 発明を実施するための最良の方法

第1図は、メモリアレイの記憶素子のトランジスタ11のエミッタと直列につないだ、本発明の二重コンデンサ10の応用を示している。集積メモリアレイの記憶素子ユニットの平面図及び2つの断面図を第2図、第2A図、及び第2B図に示している。この場合基本メモリアレイは、従来法で形成され、N<sup>+</sup>シリコン基板12は、N<sup>+</sup>サプコレクタ16とトベース拡散ライン13を有している。誘電体被覆15(例えば二酸化シリコン)の開口を通して形成した拡散エミッタ14も含ま

れている。また、第2A図に示すように、デバイスには、埋設した誘電体絶縁領域17を含めるとすることができる。エミッタ14の上には多結晶シリコン下部電極18が形成され、誘電体層3Aと4Aを支持する。次に、誘電体層3Aと4Aの上に上部電極19が、メモリのビットラインとして形成される。記憶素子の単純化したものを第3図に示す。

第3図のユニットに相当する一連のデバイスが製作され、誘電体層3の厚さ $t_1$ 、誘電体層4の厚さ $t_2$ 、使われている各種誘電体成分の誘電率 $\epsilon_1$ と $\epsilon_2$ の变化の影響を調べるために試験した。その結果を下の表に示すが、この場合、N<sup>+</sup>単結晶シリコン基板1によって支持されたN<sup>+</sup>ドーパ多結晶シリコン電極2上の下部誘電体層3としてすべての場合に窒化シリコンが使用された。シリコン基板1の裏側は、0.5ミクロン厚のアルミニウムコンタクト(図示せず)で被覆した。各々の場合、二重誘電体3、4上の上部電極5としてAl又はAuを使用した。

層4の成分	$t_1(\text{\AA})$	$t_2(\text{\AA})$	$\epsilon_1$	$\epsilon_2$	キャパシタンス (pF)	$\epsilon_1 \cdot 2 / t_1, 2$
BaTiO <sub>3</sub> (スパッタリング)	100	400	8	(アモルファス)	1096	0.061
BaTiO <sub>3</sub>	150	400	8	100 <sup>1</sup>	797	0.044
BaTiO <sub>3</sub>	100	500	8	100 <sup>1</sup>	1036	0.057
BaTiO <sub>3</sub>	150	500	8	100 <sup>1</sup>	764	0.042
BaTiO <sub>3</sub>	100	500	8	200 <sup>2</sup>	1209	0.057
				(結晶性)		
BaTiO <sub>3</sub>	150	500	8	200 <sup>2</sup>	853	0.047
BaTiO <sub>3</sub>	100	400	8	200 <sup>2</sup>	1251	0.07
Ta <sub>2</sub> O <sub>5</sub>	100	400	8	25	621	0.035
Ta <sub>2</sub> O <sub>5</sub>	100	300	8	25	722	0.04
Ta <sub>2</sub> O <sub>5</sub>	100	250	8	25		0.044

第4図には、多結晶シリコン電極2とともに誘電体層4としてスパッタリングによる500ÅのTa<sub>2</sub>O<sub>5</sub> (Ar<sup>+</sup>/O<sub>2</sub>雰囲気中のTa<sub>2</sub>O<sub>5</sub>ターゲットから)、電極5として金を使った場合の、2種類のデバイスのキャパシタンスを示している。金属Taと絶縁物SiO<sub>2</sub>を第2層3として使用した。

この研究において、二重誘電体キャパシタンスを、指定の温度並びに雰囲気中で熱処理後、測定した。

Ta<sub>2</sub>O<sub>5</sub>ターゲットを、Ar+10%O<sub>2</sub>混合ガス中で1(、リトルの圧力で3)0ワットでスパッタリング(RF)し、500Åの膜を作った。1つの場合には、下部電極がTa/N<sup>+</sup>多結晶シリコン、他の電極がN<sup>+</sup>多結晶シリコンであった。各々の膜を純O<sub>2</sub>又はフォーミングガス(90% H<sub>2</sub>+10% N<sub>2</sub>)中でアニールし、(ブレアニール)AuとAuの上部電極を付着し、そしてキャパシタンス値を測定した(第4図)。Ta<sub>2</sub>O<sub>5</sub>/N<sup>+</sup>多結晶シリコンの場合には、O<sub>2</sub>は明らか

に容易にTa<sub>2</sub>O<sub>5</sub>を通じて拡散し、N<sup>+</sup>多結晶シリコンを酸化させてSiO<sub>x</sub>(二重誘電体)層を作る。直径0.5mmのドットに対するキャパシタンスの値は約50~370pFであることに注意されたい。SiO<sub>x</sub>層がない場合には、キャパシタンスは約100~750pFとなる(第4図)。Au/Ta<sub>2</sub>O<sub>5</sub>/SiO<sub>x</sub>/N<sup>+</sup>多結晶シリコン構造のキャパシタンスの観測値から、SiO<sub>x</sub>層の厚さは約70~100Åであると推定できる。

第5図は、第4図の研究のため製作し、酸素雰囲気中で50℃で3時間ブレアニールした二重誘電体コンデンサの漏洩特性を示している。

漏洩(DC)に及ぼすSiO<sub>x</sub>層の影響を第5図に示す。漏洩は、Au/Ta<sub>2</sub>O<sub>5</sub>/Ta/N<sup>+</sup>に対して約3~4ボルトで大幅に増加するが、二重誘電体構造に対しては低いままである(7ボルトで約10<sup>-11</sup>アンペア)。したがってSiO<sub>x</sub>層はDC漏洩を大幅に改善するが、SiO<sub>x</sub>の誘電率が低い(3~5と仮定される)ため、キャパシタンス(直列)はかなり減少する(第4図)。

$\text{HfO}_2$ 、 $\text{N}^+$ 多結晶シリコンを、中でアノールする場合にも、 $\text{SiO}_2$ 二重誘電体層の形成が起こる(第6図)。キャパシタンスは600~700 pF、 $\text{HfO}_2$ 、 $\text{Hf}$ 、 $\text{N}^+$ 多結晶シリコンから約500 pFに減少することに注意されたい。第6図は、A<sub>2</sub>又はA<sub>3</sub>上部電極が、およそ同じキャパシタンスを生じること示している。 $\text{HfO}_2$ 層は500 Åの厚さで、第4図の $\text{Ta}_2\text{O}_5$ 層と同じ条件で付着された。A<sub>3</sub>上部電極(第7図)とA<sub>2</sub>(第8区)の漏洩結果は、 $\text{SiO}_2$ 層が5~10ボルトの範囲で大幅に漏洩を改善することを示している。

$\text{HfO}_2$ 、 $\text{Hf}$ 、 $\text{N}^+$ 多結晶シリコンと $\text{HfO}_2$ 、 $\text{SiO}_2$ 、 $\text{N}^+$ 多結晶シリコン膜のキャパシタンスと漏洩特性は、フローティングガス(90% $\text{H}_2$ 、10% $\text{N}_2$ )中で350℃でのアノール後、ほとんど不変のままである。しかし、350℃以上のアノール温度に対して漏洩の大幅な増加が見られ、デバイスは不安定と見なされた。

望ましい二重誘電体構造は、A<sub>2</sub>、10% $\text{O}_2$ 、プ

ラズマ中で $\text{Ta}$ ターゲットをスパッタリングすることによって製作された(反応性スパッタリング)。その結果生じた $\text{Ta}_2\text{O}_5$ 膜は約200 Åの厚さであつた。付着電力は500ワットで、スパッタリング前のシステム圧力は $8 \times 10^{-6}$ トルであつた。付着速度は約40 Å/分であつた。基板は、1500~2000 Åの $\text{N}^+$ 多結晶シリコンで被覆した100 Ω/□ $\text{SiO}_2$ ウェーハから成り、約100 Åの $\text{Si}_3\text{N}_4$ がCVDによって多結晶シリコン上に形成された。 $\text{Ta}_2\text{O}_5$ 膜が $\text{Si}_3\text{N}_4$ の上に付着され、500 Å厚さ、0.5 mmの円形ドットを明確にする金属マスクによってA<sub>2</sub>及び、又はA<sub>3</sub>を蒸着することによって構造が完成した。上部電極の金属を蒸着する前に約200℃まで、中でサンプルをアノールするのが好ましいことがわかつた。第9図は、フローティング条件と上部電極金属が、フローティングガス中で350℃でのアノール後、キャパシタンス(pF)にほとんど影響がないことを示している。同様に、1ナノアンペア/10<sup>10</sup> Å<sup>2</sup>に等しいかそれ以下の漏洩値( $I_L$ )を

もつデバイスが得られることは上部電極金属によって決まるとは考えられない。

第11図は、350℃のアノール後のA<sub>2</sub>とA<sub>3</sub>電極についての、フローティングに対する各格点ボルトのフローセンサーの配置図を示している。10ボルトを超えると水素りがわずかに減りする点に注意されたい。金属化、ガラス処理、及びはんだ再溶融の各工程は400℃以上のサージを食ふため、二重誘電体コンデンサの高温安定は非常に重要である。信頼性のある構造であるためには、二重誘電体の性質は少なくとも400℃になるべきであればそれ以上まで安定でなければならぬ。二重誘電体、 $\text{Ta}_2\text{O}_5$ 、 $\text{Si}_3\text{N}_4$ 、フローティングは、加工中における安定性を失ふ。第12図は、5000分の加工後キャパシタンスがわずかに増加するだけであることを示している。この理由は、累積温度アノール、すなわちフローティングガス中で30分間、450℃、400℃、350℃などで先にアノールした5000分のサンプルを示している。A<sub>2</sub>電極の漏洩データ(第12図)も500

分の累積加工温度の5Vまでよい結果を示している。デバイスの動作電圧は約1ボルトであるから、かなりの安全マージンをもっている。

以上、本発明の適良の実施例について説明してきたが、発明の方向は本発明により、 $\text{N}^+$ の代りに酸化アルミニウム( $\text{Al}_2\text{O}_3$ )を用いても良好な結果が得られる。

#### 4. 図面の簡単な説明

本発明の関心の資料の一部である図1図において、

第1図は、本発明の二重誘電体コンデンサを用いた記憶素子回路図である。

第2図は、本発明の二重誘電体コンデンサを相対化することができる記憶素子回路の平面図である。

第3、A図及び第2 B図は、各々第1図中の線2 A、2 A及び線2 B、2 Bに付した断面図である。

第3図は、本発明の二重誘電体コンデンサの単純化した断面図である。

第4図から第12図までは、二重誘電体コンデ

ンサの特性を示すグラフである。

出願人 インターナショナル・ビジネス・マシーンス・コーポレーション

代理人 弁理士 碩 宮 孝 一  
(外1名)

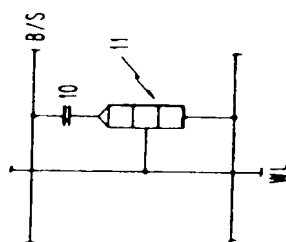


FIG. 1

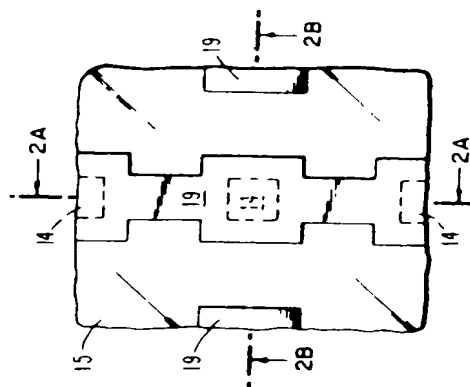


FIG. 2

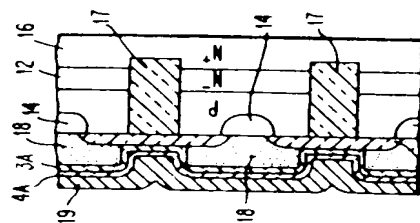


FIG. 2A

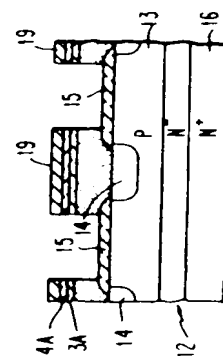


FIG. 2B

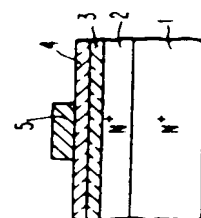


FIG. 3



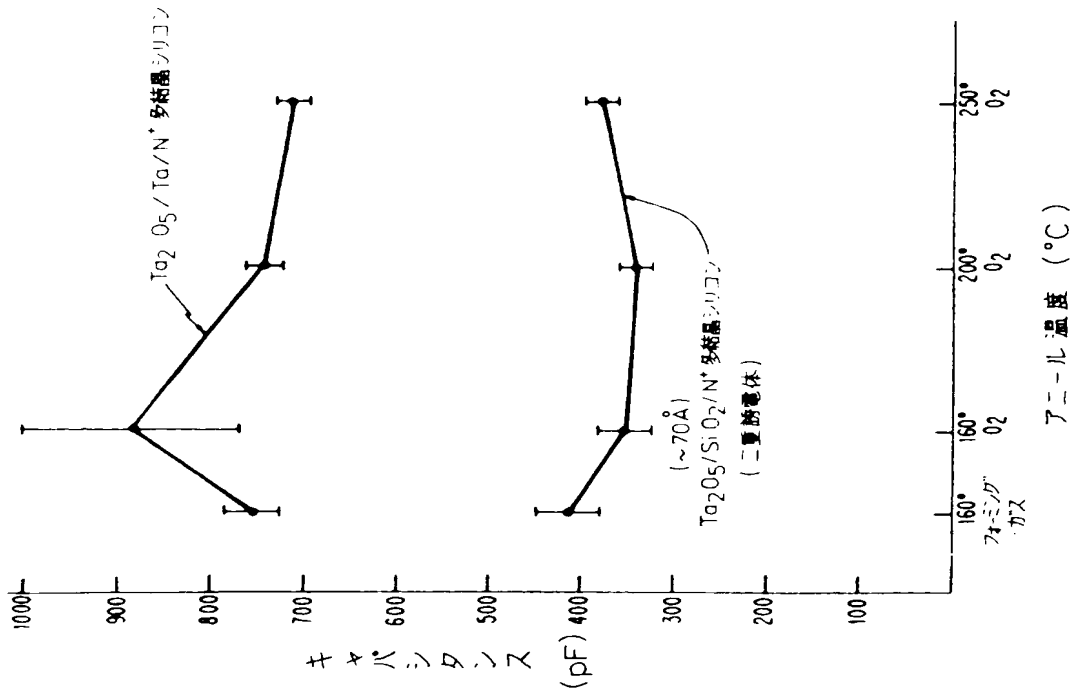


FIG. 4

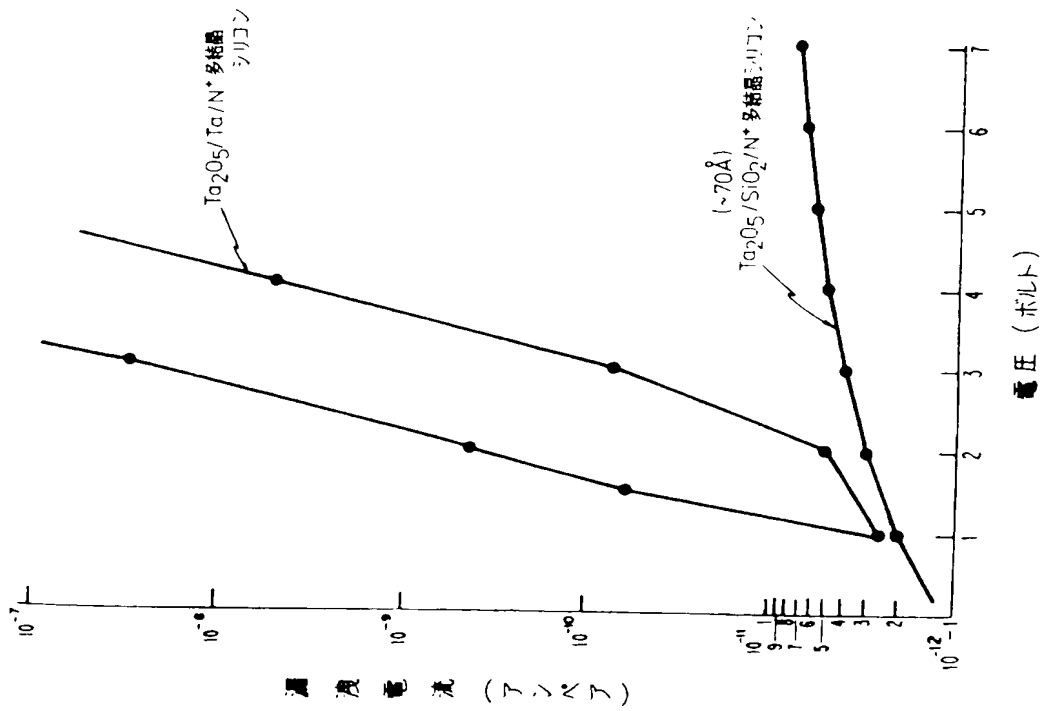


FIG. 5

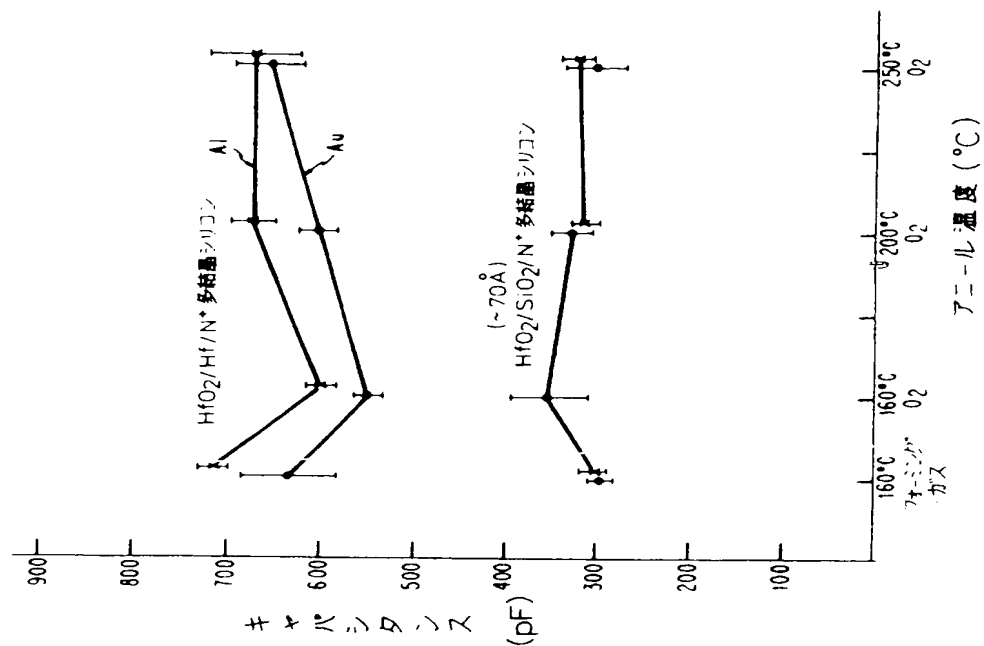


FIG. 6

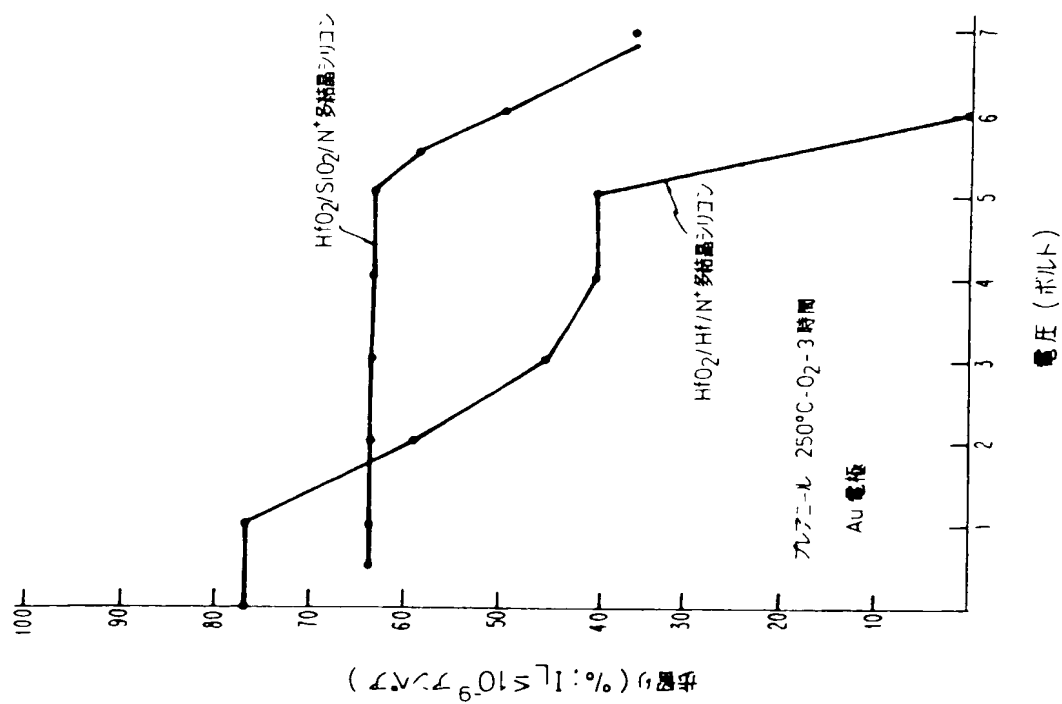


FIG. 7

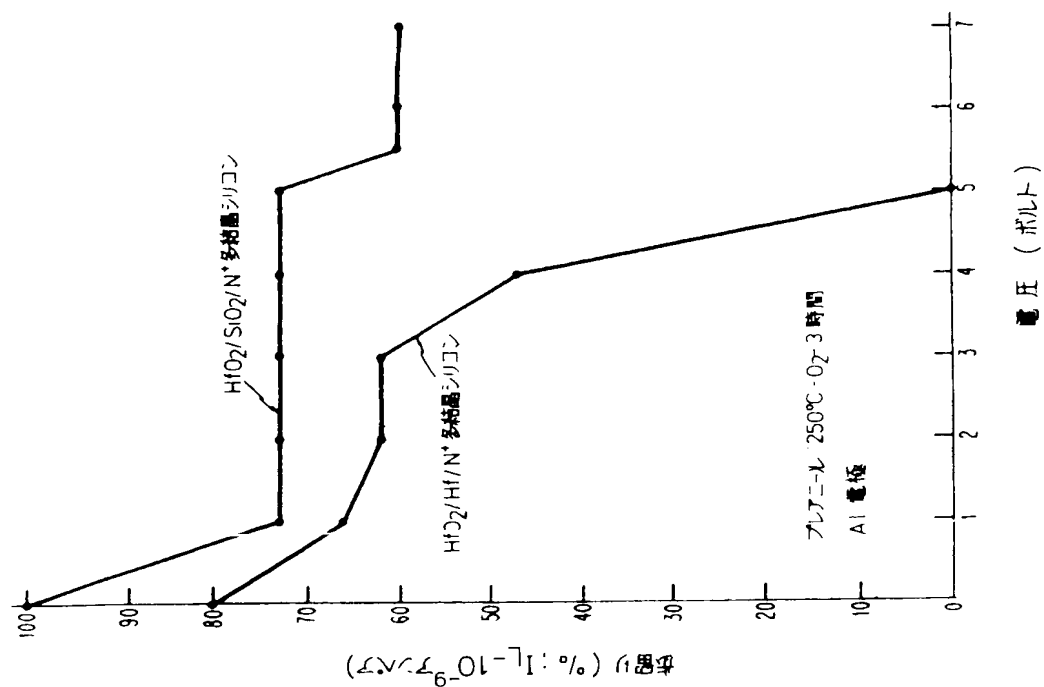


FIG. 8

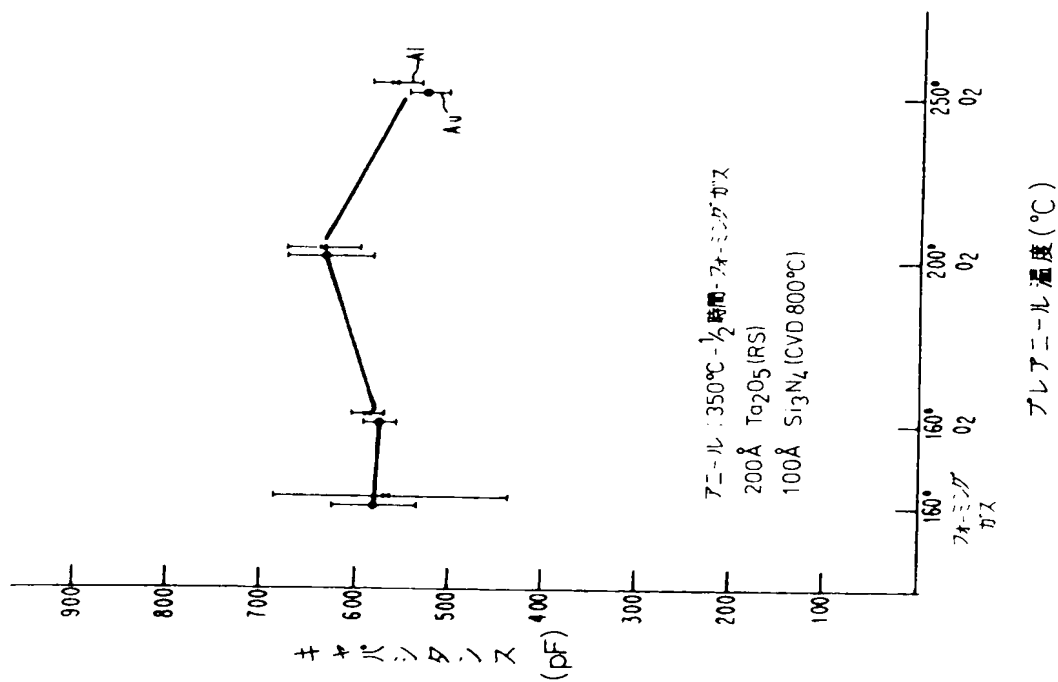


FIG. 9

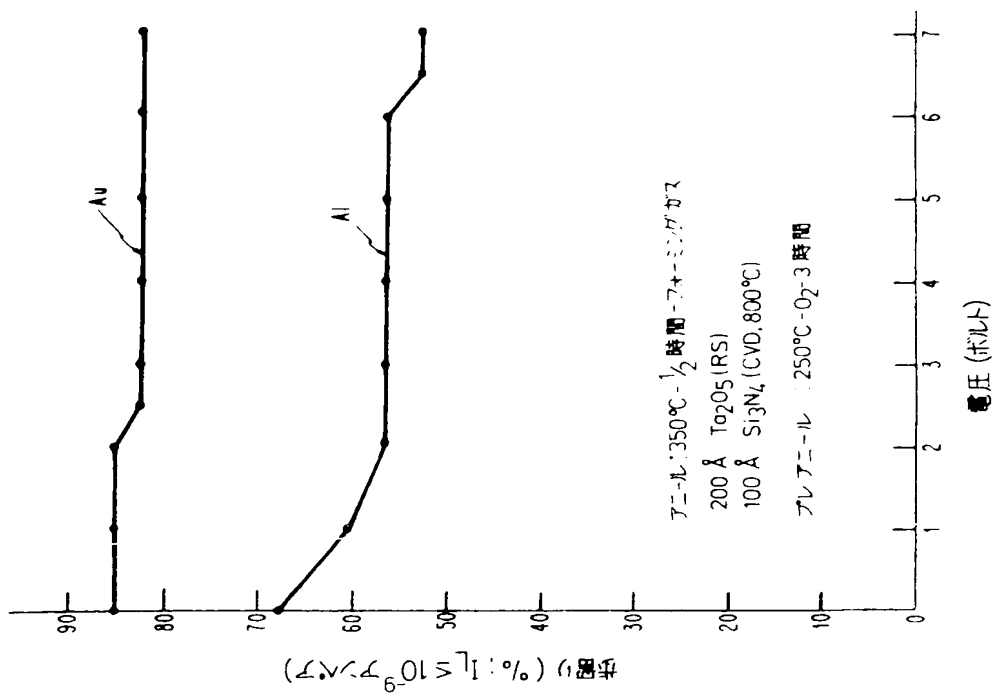


FIG. 10

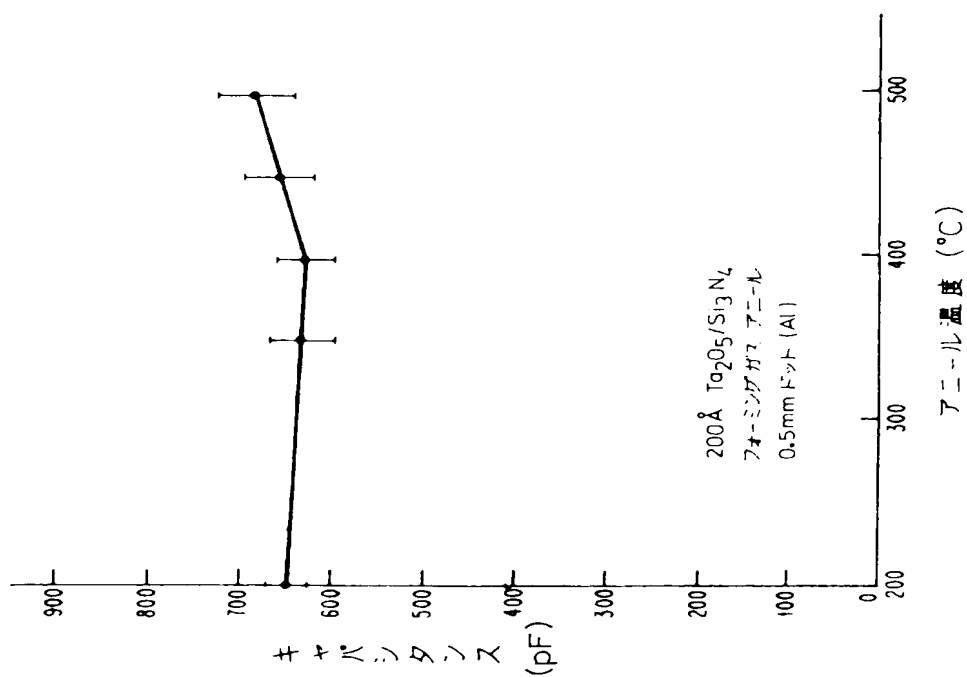


FIG. 11

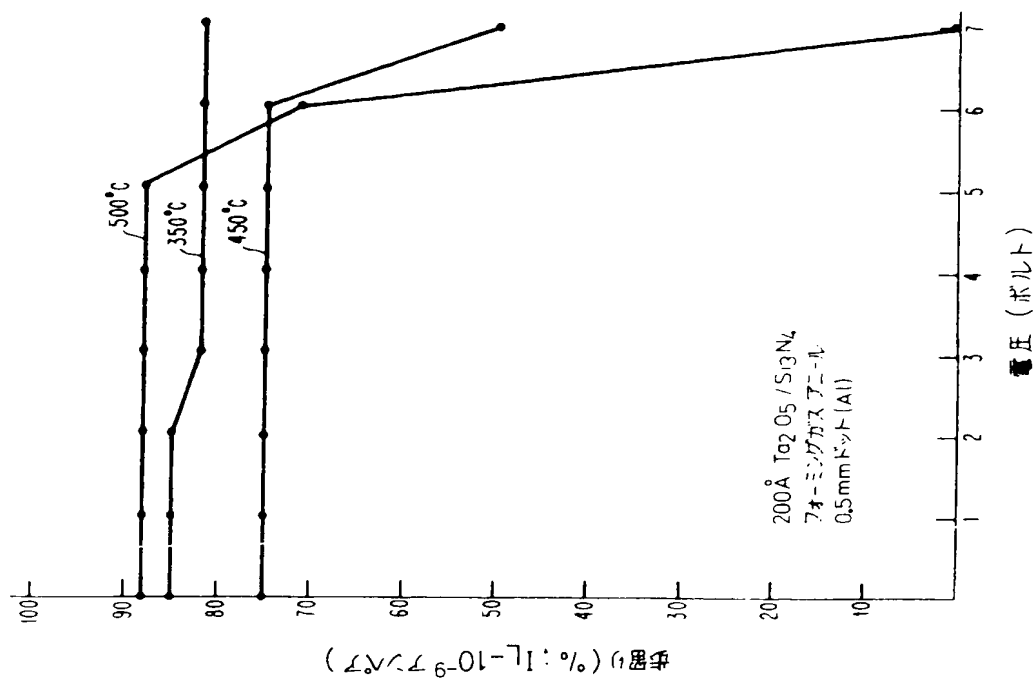


FIG. 12